

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-211960

(43)Date of publication of application : 20.08.1996

(51)Int.Cl. G06F 1/04  
 G06F 1/32  
 G06F 1/26  
 G06F 1/08  
 G06F 9/46  
 G06F 15/78

(21)Application number : 07-014603

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 31.01.1995

(72)Inventor : MIURA HIROMICHI  
 MASUI NORIO

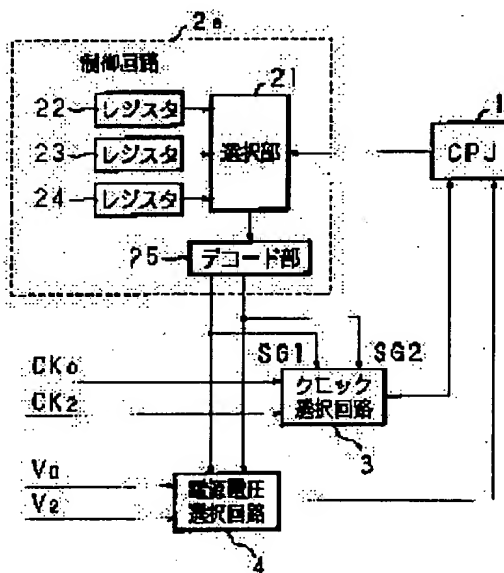
## (54) MICROCOMPUTER

## (57)Abstract:

**PURPOSE:** To provide a microcomputer with less power consumption for performing an interruption processing at a high speed or at a low speed corresponding to an interruption factor.

**CONSTITUTION:** Registers 22, 23 and 24

corresponding to the interruption factors store '1' (or '0') when the factor requires a high-speed (or low-speed) processing. When a CPU 1 executes the interruption processing which requires the high-speed (or low-speed) processing, a selection part 21 selects the register corresponding to the factor based on the instruction of the CPU 1 and takes out '1' (or '0') decoding is performed by a decoding part 25, '1' (or '0') is generated as a signal SG1, '0' (or '1') is generated as the signal SG2 and they are supplied to both selection circuits 3 and 4. A clock selection circuit 3 selects the clock CK0 (or CK2) of a high (or low) frequency based on both signals SG1 and SG2 and supplies it to the CPU 1 and a power supply voltage selection circuit 4 selects the power supply voltage V0 (or V2) of a high (or low) voltage and supplies it to the CPU 1.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-211960

(43) 公開日 平成8年(1996)8月20日

(51) Int.Cl.<sup>9</sup>G 0 6 F 1/04  
1/32  
1/26

識別記号

3 0 1 C

庁内整理番号

F I

技術表示箇所

G 0 6 F 1/ 00

3 3 2 Z

3 3 4 Z

審査請求 未請求 請求項の数 2 O L (全 5 頁) 最終頁に続く

(21) 出願番号

特願平7-14603

(22) 出願日

平成7年(1995)1月31日

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 三浦 裕道

兵庫県伊丹市瑞原4丁目1番地 三菱電機  
株式会社北伊丹製作所内

(72) 発明者 梶井 規雄

兵庫県伊丹市瑞原4丁目1番地 三菱電機  
株式会社北伊丹製作所内

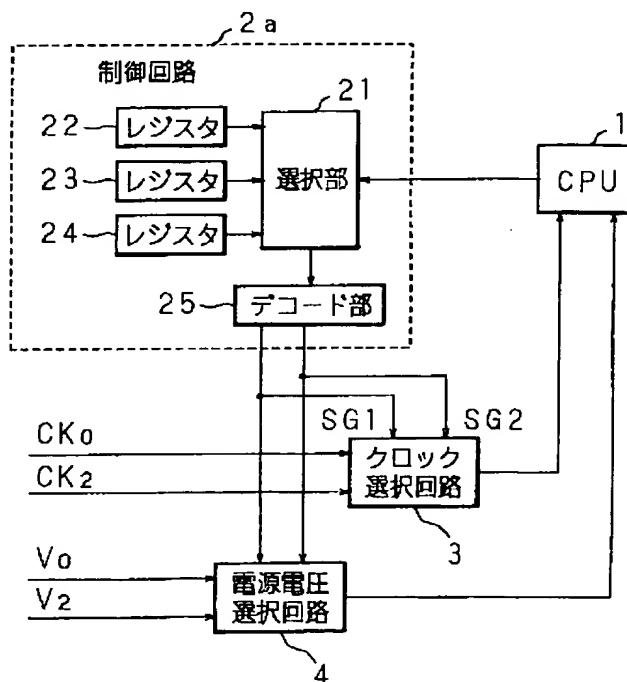
(74) 代理人 弁理士 河野 登夫

(54) 【発明の名称】 マイクロコンピュータ

(57) 【要約】

【目的】 割込み要因に応じて高速又は低速で割込み処理を行なう電力消費の少ないマイクロコンピュータの提供。

【構成】 割込み要因に対応したレジスタ22, 23, 24は該要因が高速 (又は低速) 処理を必要とする場合、“1” (又は“0”) を格納する。CPU 1が高速 (又は低速) 処理を必要とする割込み処理を実行する場合、選択部21はCPU 1の指示に基づき前記要因に対応したレジスタを選択して“1” (又は“0”) を取り出し、デコード部25にデコードせしめ、信号SG1として“1” (又は“0”)、信号SG2として“0” (又は“1”) を生成して両選択回路3, 4へ与える。クロック選択回路3は、両信号SG1, SG2に基づき高い (又は低い) 周波数のクロックCK<sub>0</sub> (又はCK<sub>2</sub>) を選択してCPU 1へ与え、電源電圧選択回路4は高い (又は低い) 電圧の電源電圧V<sub>0</sub> (又はV<sub>2</sub>) を選択してCPU 1へ与えるべく構成する。



## 【特許請求の範囲】

【請求項1】 周波数の異なるクロックを択一的に選択するクロック選択手段及び異なる電源電圧を択一的に選択する電源電圧選択手段を備えたマイクロコンピュータにおいて、

割込み要因に対応した内容を格納するレジスタを備え、前記内容に応じて前記クロック選択手段及び前記電源電圧選択手段で行なう選択を制御すべくしてあることを特徴とするマイクロコンピュータ。

【請求項2】 周波数の異なるクロックを択一的に選択するクロック選択手段及び異なる電源電圧を択一的に選択する電源電圧選択手段を備えたマイクロコンピュータにおいて、

割込み要因に対応した選択コードを含む割込みベクトルを格納するメモリを備え、前記選択コードに応じて前記クロック選択手段及び前記電源電圧選択手段で行なう選択を制御すべくしてあることを特徴とするマイクロコンピュータ。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、消費電力を低減したマイクロコンピュータに関する。

## 【0002】

【従来の技術】マイクロコンピュータの消費電力を低減させるものとして、特開平4-112312号公報において、出力電圧が可変の可変電圧電源の出力電圧値を、動作クロックの周波数に応じて制御する手段を有する電気回路が提案され、また特開平5-108193号公報において、外部から供給される第1のクロックを分周して第2のクロックを生成する分周回路と、第1及び第2のクロックのいずれかを選択する選択回路と、外部から供給される第1の電源電圧を降圧して第2の電源電圧を生成する電圧調整回路と、第1及び第2の電源電圧のいずれかを選択する選択回路とを備えたマイクロコンピュータが提案されている。

【0003】図3は、従来のマイクロコンピュータのブロック図である。図においてCK<sub>1</sub>（又はCK<sub>2</sub>）は高い（又は低い）周波数のクロックを示し、いずれも外部から供給され、クロック選択回路3へ与えられる。また、V<sub>1</sub>（又はV<sub>2</sub>）は高い（又は低い）電圧の電源電圧を示し、いずれも外部から供給され電源電圧選択回路4へ与えられる。CPU 1は高速動作を必要とする場合、CK<sub>1</sub>及びV<sub>1</sub>を要求する要求信号を制御回路2へ与える。制御回路2は与えられた要求信号に基づき信号SG1を“1”とし、信号SG2を“0”として生成し、生成した両信号SG1、SG2をクロック選択回路3及び電源電圧選択回路4へ与える。クロック選択回路3はSG1として“1”を、SG2として“0”を与えられた場合、クロックCK<sub>1</sub>を選択してCPU 1へ与える。電源電圧選択回路4はSG1として“1”を、SG2として“0”を与えられた

場合、電源電圧V<sub>1</sub>を選択してCPU 1へ与える。

【0004】CPU 1は高速動作を必要としない場合、CK<sub>2</sub>及びV<sub>2</sub>を要求する要求信号を制御回路2へ与える。制御回路2は与えられた要求信号に基づき、信号SG1を“0”とし、信号SG2を“1”として生成し、生成した両信号SG1、SG2をクロック選択回路3及び電源電圧選択回路4へ与える。クロック選択回路3はSG1として“0”を、SG2として“1”を与えられた場合、クロックCK<sub>2</sub>を選択してCPU 1へ与える。電源電圧選択回路4はSG1として“0”を、SG2として“1”を与えられた場合、電源電圧V<sub>2</sub>を選択してCPU 1へ与える。

【0005】従ってCPU 1は高速動作を必要とする場合、高い周波数のクロックCK<sub>1</sub>及び高い電圧の電源電圧V<sub>1</sub>を与えられ、高速で動作し、高速動作を必要としない場合、低い周波数のクロックCK<sub>2</sub>及び低い電圧の電源電圧V<sub>2</sub>を与えられ、電力消費が少ない。

## 【0006】

【発明が解決しようとする課題】このような従来のマイクロコンピュータにあつては、負荷の軽重に応じてCPU 1が高速又は低速で駆動することができるが、割込み要求があつた場合、その割込み要因に応じた速度で動作することができない。それ故、低速動作時に高速処理を必要とする割込み要因が発生した場合、割込み処理に要する時間が長くなるという問題点があつた。本発明は、このような問題点を解決するためになされたものであつて、割込み要因に応じてクロック周波数及び電源電圧を選択することにより、割込み処理の速度が低下することなく消費電力が少ないマイクロコンピュータを提供することを目的とする。

## 【0007】

【課題を解決するための手段】第1発明に係るマイクロコンピュータは、周波数の異なるクロックを択一的に選択するクロック選択手段及び異なる電源電圧を択一的に選択する電源電圧選択手段を備えたマイクロコンピュータにおいて、割込み要因に対応した内容を格納するレジスタを備え、前記内容に応じて前記クロック選択手段及び前記電源電圧選択手段で行なう選択を制御すべくしてあることを特徴とする。

【0008】第2発明に係るマイクロコンピュータは、周波数の異なるクロックを択一的に選択するクロック選択手段及び異なる電源電圧を択一的に選択する電源電圧選択手段を備えたマイクロコンピュータにおいて、割込み要因に対応した選択コードを含む割込みベクトルを格納するメモリを備え、前記選択コードに応じて前記クロック選択手段及び前記電源電圧選択手段で行なう選択を制御すべくしてあることを特徴とする。

## 【0009】

【作用】第1発明のマイクロコンピュータは、割込み要因に対応したレジスタの内容に基づきクロック選択手段及び電源電圧選択手段で行なう選択を制御する故、割込

み要因が必要とする処理速度を可能とするクロック及び電源電圧が選択され、無駄な電力を消費しない。

【0010】第2発明のマイクロコンピュータは、割込み要因に対応した割込みベクトルの選択コードに基づきクロック選択手段及び電源電圧選択手段で行なう選択を制御する故、割込み要因が必要とする処理速度を可能とするクロック及び電源電圧が選択され、無駄な電力を消費しない。

【0011】

【実施例】以下本発明を、その実施例を示す図面に基づき具体的に説明する。図1は第1実施例に係るマイクロコンピュータのブロック図である。図においてCK<sub>1</sub>（又はCK<sub>2</sub>）は高い（又は低い）周波数のクロックを示し、いずれも外部から供給され、クロック選択回路3へ与えられる。V<sub>1</sub>（又はV<sub>2</sub>）は高い（又は低い）電圧の電源電圧を示し、いずれも外部から供給され、電源電圧選択回路4へ与えられる。CPU 1は、割込み要因の種類に応じた信号を制御回路2aの選択部21へ与える。割込み要因の種類は3種あり、その第1及び第3は高速クロックで処理を行なう必要があり、その第2は高速クロックで処理を行なう必要がないものである。制御回路2aのレジスタ22, 23, 24は夫々割込み要因の種類第1, 第2, 第3に対応しており、その内容は夫々“1”, “0”, “1”である。

【0012】選択部21は割込み要因の種類に応じた信号に基づき3個のレジスタ22, 23, 24のうちのいずれか1つを選択し、選択したレジスタの内容をデコード部25へ与える。デコード部25は“1”を与えられた場合、“1”をデコードして信号SG1を“1”とし、信号SG2を“0”として生成し、“0”を与えられた場合“0”をデコードして信号SG1を“0”とし、信号SG2を“1”として生成し、生成した両信号SG1, SG2をクロック選択回路3及び電源電圧選択回路4へ与える。クロック選択回路3は信号SG1として“1”を、信号SG2として“0”を与えられた場合、クロックCK<sub>1</sub>を選択してCPU 1へ与え、信号SG1として“0”を、信号SG2として“1”を与えられた場合、クロックCK<sub>2</sub>を選択してCPU 1へ与える。電源電圧選択回路4は信号SG1として“1”を、信号SG2として“0”を与えられた場合、電源電圧V<sub>1</sub>を選択してCPU 1へ与え、信号SG1として“0”を、信号SG2として“1”を与えられた場合、電源電圧V<sub>2</sub>を選択してCPU 1へ与える。

【0013】次に動作について説明する。CPU 1が低速クロックで動作中に高速クロックで処理を行なう必要のある割込み要因の種類第1（又は第3）に応じた信号を選択部21へ与えた場合、レジスタ22（又はレジスタ24）が選択され、その内容である“1”がデコード部25でデコードされ、両信号SG1, SG2が夫々“1”, “0”として出力され、クロック選択回路3は高い周波数のクロックCK<sub>1</sub>をCPU 1へ与え、電源電圧選択回路4は高い

電圧の電源電圧V<sub>1</sub>をCPU 1へ与える。従ってCPU 1は高い周波数のクロックCK<sub>1</sub>及び高い電圧の電源電圧V<sub>1</sub>を与えられ高速で割込み処理を行なう。

【0014】CPU 1が低速クロックで動作中に高速クロックで処理を行なう必要のない割込み要因の種類第2に応じた信号を選択部21へ与えた場合、レジスタ23が選択され、その内容である“0”がデコード部25でデコードされ、両信号SG1, SG2が夫々“0”, “1”として出力され、クロック選択回路3は低い周波数のクロックCK<sub>2</sub>をCPU 1へ与え、電源電圧選択回路4は低い電圧の電源電圧V<sub>2</sub>をCPU 1へ与える。従ってCPU 1は低い周波数のクロックCK<sub>2</sub>及び低い電圧の電源電圧V<sub>2</sub>を与えられ低速で割込み処理を行ない電力消費は少ない。

【0015】なお、本実施例においては周波数が2種類のクロック及び電圧値が2種類の電源電圧を夫々選択しているが、クロック、電源電圧のいずれも2種類に限定するものではなく、また3個のレジスタ22, 23, 24に設定する値はクロック及び電源電圧の種類と割込み要因の種類に応じて定めるとよい。

【0016】図2は第2実施例に係るマイクロコンピュータのブロック図である。図において5はメモリであって、メモリ5は割込みベクトルテーブル51を含み、割込み要因に対応した割込みベクトル52, 53, 54が割込みベクトルテーブル51に設定されている。割込み要因は3種類あり、第1, 第2, 第3の割込み要因が夫々割込みベクトル52, 53, 54に対応している。そして第1及び第3の割込み要因は高速クロックで処理を行なう必要があり、第2の割込み要因は高速クロックで処理を行なう必要がない。

【0017】各割込みベクトル52, 53, 54はクロック及び電源電圧を選択するための選択コードとして夫々“1”, “0”, “1”を保持し、また夫々の割込み要因に応じて割込み処理手順を保持する。CPU 1が割込み要因に対応した割込みベクトルをアクセスすべく、アクセス信号をメモリ5へ与えた場合、割込みベクトルテーブル51は該当する割込み処理手順をCPU 1へ与え、該当する選択コードを制御回路2bへ与える。制御回路2bは選択コードとして“1”を与えられた場合、“1”をデコードして信号SG1を“1”とし、信号SG2を“0”として生成し、選択コードとして“0”を与えられた場合、“0”をデコードして信号SG1を“0”とし、信号SG2を“1”として生成し、生成した両信号SG1, SG2をクロック選択回路3及び電源電圧選択回路4へ与え、両回路3, 4の選択動作を制御する。他の構成は図1と同様であるので同一部分に同一符号を付して説明を省略する。

【0018】次に動作について説明する。CPU 1が低速クロックで動作中に高速クロックで処理を行なう必要のある割込み要因の第1（又は第3）に応じたアクセス信号をメモリ5へあたえた場合、割込みベクトルテーブル51は割込みベクトル52（又は54）の割込み処理手順をCP

U1へ与え、同じく選択コード“1”を制御回路2bへ与える。制御回路2bは選択コード“1”に基づき両信号SG1, SG2を夫々“1”, “0”として出力し、クロック選択回路3は高い周波数のクロックCK<sub>0</sub>をCPU 1へ与え、電源電圧選択回路4は高い電圧の電源電圧V<sub>0</sub>をCPU 1へ与える。従ってCPU 1は高い周波数のクロックCK<sub>0</sub>及び高い電圧の電源電圧V<sub>0</sub>を与えられ、高速で割込み処理を行なう。

【0019】CPU 1が低速クロックで動作中に高速クロックで処理を行なう必要のない割込み要因の第2に応じたアクセス信号をメモリ5へ与えた場合、割込みベクトルテーブル51は割込みベクトル53の割込み処理手順をCPU 1へ与え、同じく選択コード“0”を制御回路2bへ与える。制御回路2bは選択コード“0”に基づき両信号SG1, SG2を夫々“0”, “1”として出力し、クロック選択回路3は低い周波数のクロックCK<sub>2</sub>をCPU 1へ与え、電源電圧選択回路4は低い電圧の電源電圧V<sub>2</sub>をCPU 1へ与える。従ってCPU 1は低い周波数のクロックCK<sub>2</sub>及び低い電圧の電源電圧V<sub>2</sub>を与えられ低速で割込み処理を行ない、消費電力は少ない。なお、本実施例においては、周波数が2種類のクロック及び電圧値が2種類の電源電圧を夫々選択しているが、クロック、電源電圧のいずれも2種類に限定するものではなく、また3個の割込みベクトル52, 53, 54が保持する選択コードの値はクロック及び電源電圧の種類と割込み要因とに応じて定めるとよい。

#### 【0020】

【発明の効果】以上のように第1発明のマイクロコンピュータにあっては、割込み要因に応じたレジスタの内容

に応じてクロック及び電源電圧を選択すべく構成したので、割込み要因が高速処理を必要とする場合、CPU に供給するクロックの周波数を高くし、また電源電圧を高くして割込み保留時間を短くすることができ、割込み要因が高速処理を必要としない場合、CPU に供給するクロックの周波数を低くし、また電源電圧を低くして消費電力を低減することができる。

【0021】第2発明のマイクロコンピュータにあっては、割込みベクトルに含まれる選択コードに応じてクロック及び電源電圧を選択すべく構成したので、割込み要因が高速処理を必要とする場合、CPU に供給するクロックの周波数を高くし、また電源電圧を高くして割込み保留時間を短くすることができ、割込み要因が高速処理を必要としない場合、CPU に供給するクロックの周波数を低くし、また電源電圧を低くして消費電力を低減することができる。

#### 【図面の簡単な説明】

【図1】 第1実施例に係るマイクロコンピュータのブロック図である。

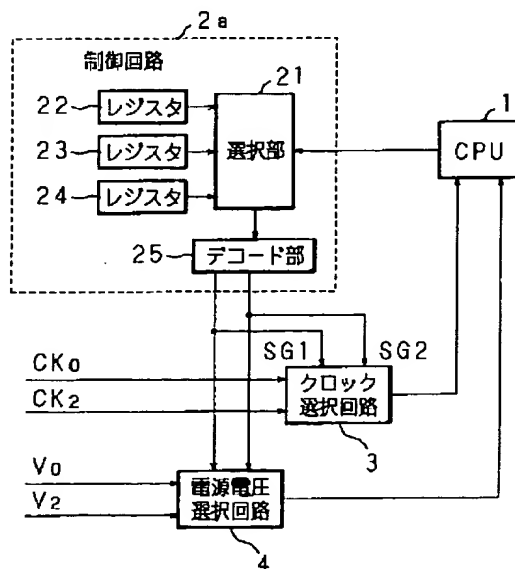
【図2】 第2実施例に係るマイクロコンピュータのブロック図である。

【図3】 従来のマイクロコンピュータのブロック図である。

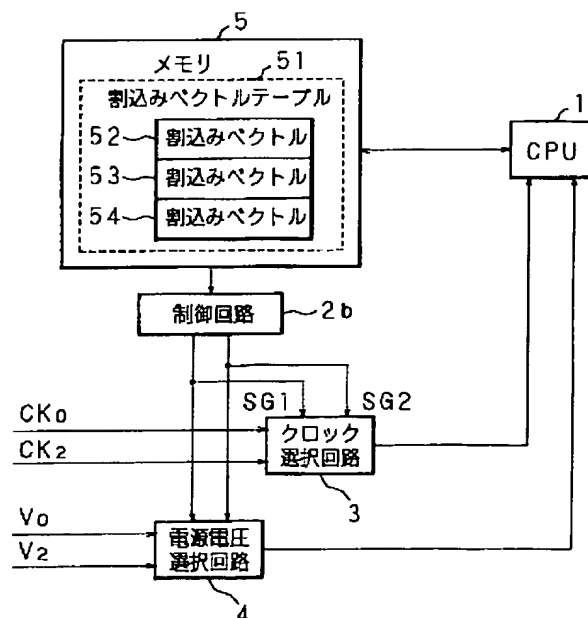
#### 【符号の説明】

1 CPU、2, 2a, 2b 制御回路、3 クロック選択回路、4 電源電圧選択回路、5 メモリ、21 選択部、22, 23, 24 レジスタ、25 デコード部、51 割込みベクトルテーブル、52, 53, 54 割込みベクトル。

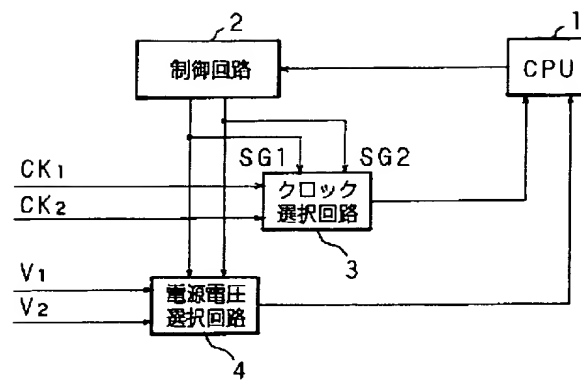
【図1】



【図2】



【図 3】



フロントページの続き

(51) Int. Cl. <sup>6</sup>

G 0 6 F 1/08

9/46

15/78

識別記号

庁内整理番号

F I

技術表示箇所

3 1 0 Z

5 1 0 P

G 0 6 F 1/04

3 2 0 Z